

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 04 月 10 日
Application Date

申 請 案 號：092108222
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 5 月 30 日
Issue Date

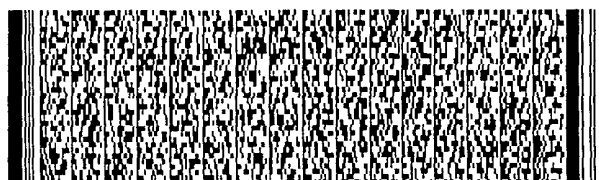
發文字號：09220534260
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	防止深渠溝之頂部尺寸擴大的領型介電層製程
	英 文	COLLAR DIELECTRIC PROCESS FOR PREVENTING TOP SIZE OF DEEP TRENCH FROM ENLARGEMENT
二、 發明人 (共1人)	姓 名 (中文)	1. 許平
	姓 名 (英文)	1. Hsu Ping
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣中和市忠孝街106巷4號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9814tw(n1) : 91146 : Cheny.ptd

四、中文發明摘要 (發明名稱：防止深渠溝之頂部尺寸擴大的領型介電層製程)

一種防止深渠溝之頂部尺寸擴大的領型介電層製程，係於先進行一離子佈植製程，於一深渠溝頂部開口周圍之半導體矽基底之表面區域形成一離子佈植區，再去除深渠溝電容器以外之氮化矽層，而後再於該離子佈植區以外之該深渠溝的暴露側壁上長成一第一氧化層。該離子佈植製程係利用 N_2 作為離子源，用來抑制該第一氧化層之成長，且該離子佈植區之深度係相對應於一預定埋入帶擴散區域的深度，係至少環繞該深渠溝頂部開口之一部份週邊，且鄰近於一預定埋入帶擴散區域。

伍、(一)、本案代表圖為：第3B圖。

(二)、本案代表圖之元件代表符號簡單說明：

半導體矽基底~40；

深渠溝~DT；

深渠溝電容器~42；

六、英文發明摘要 (發明名稱：COLLAR DIELECTRIC PROCESS FOR PREVENTING TOP SIZE OF DEEP TRENCH FROM ENLARGEMENT)

A collar dielectric process prevents top size of a deep trench from enlargement. Before stripping a node nitride outside a deep trench capacitor, an ion implantation with N_2 is performed to form an ion implantation region in a semiconductor silicon substrate to surround the top of the deep trench and correspond to a buried strap outdiffusion region. After removing the node



四、中文發明摘要 (發明名稱：防止深渠溝之頂部尺寸擴大的領型介電層製程)

n^+ 型擴散區~44；

氮化矽層~46；

第一多晶矽層~48；

墊層~52；

離子佈植製程~54；

離子佈植區~56；

深度~I。

六、英文發明摘要 (發明名稱：COLLAR DIELECTRIC PROCESS FOR PREVENTING TOP SIZE OF DEEP TRENCH FROM ENLARGEMENT)

nitride outside a deep trench capacitor, a collar oxide is grown on the exposed sidewall of the deep trench without growing on the ion implantation region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

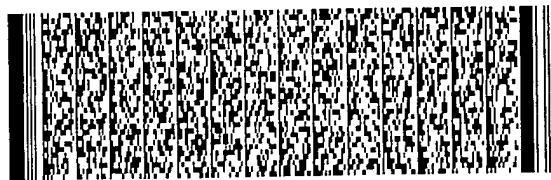
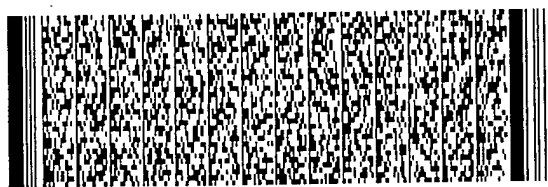
本發明有關於一種深渠溝電容器製程，特別有關一種深渠溝之領型介電層製程，可以有效防止深渠溝之頂部尺寸擴大。

【先前技術】

一個動態隨機存取記憶體胞(DRAM cell)是由一個電晶體以及一個電容器所構成，目前的平面電晶體設計係搭配一種深渠溝電容器(deep trench capacitor)，將三維的電容器結構製作於半導體矽基底內的深渠溝中，可以縮小記憶單元的尺寸與電力消耗，進而加快其操作速度。

請參閱第1A圖，其顯示習知DRAM胞之深渠溝排列的平面圖。應用於折疊位元線(folded bit line)結構中，每一個主動區域中包含有兩條字元線 WL_1 、 WL_2 以及一條位元線BL，其中符號DT代表一深渠溝，符號BC代表一位元接觸插塞。

請參閱第1B圖，其顯示習知DRAM胞之深渠溝電容器的剖面示意圖。一半導體矽基底10內製作有一深渠溝DT，而深渠溝DT之下方區域係製作成為一深渠溝電容器12，其乃由一埋入電極板(buried plate)、一節點介電層(node dielectric)以及一儲存節點(storage node)所構成。深渠溝電容器12之製作方法如下所述。首先，利用反應性離

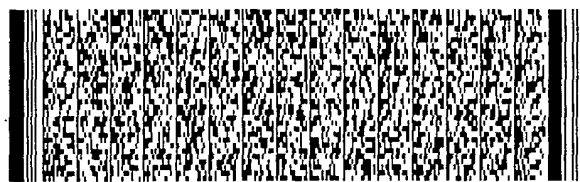


五、發明說明 (2)

子蝕刻(RIE)方法，可於p型半導體矽基底10內形成深渠溝DT。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使 n^+ 型離子擴散至深渠溝DT下方區域，而形成一 n^+ 型擴散區14，用來作為深渠溝電容器12的埋入電極板。然後，於深渠溝DT下方區域之內側壁與底部形成一氮化矽層16，用來作為深渠溝電容器12的節點介電層。後續，於深渠溝DT內沉積一 n^+ 型摻雜之第一多晶矽層18，並回蝕(recess)第一多晶矽層18至一預定深度，則可用來作為深渠溝電容器12的儲存節點。

完成上述之深渠溝電容器12之後，先於深渠溝DT上方區域的側壁上製作一領型介電(collar dielectric)層20，再於深渠溝DT上方區域內製作一 n^+ 型摻雜之第二多晶矽層22，再繼續製作一第三多晶矽層24。後續則可進行一淺溝隔離(STI)結構26、字元線 WL_1 、 WL_2 、源/汲極擴散區域28、位元接觸插塞BC以及位元線BL等製程。淺溝隔離結構26是用來區分兩相鄰之DRAM胞。

此外，為了連接深渠溝電容器12以及表面之電晶體，深渠溝DT之頂部開口周圍的矽基底10內形成有一埋入帶外擴散(buried strap outdiffusion)區域30，亦稱之為一節點接合介面(node junction)，其形成方式是藉由第二多晶矽層22內之 n^+ 型離子經由第三多晶矽層24而向外擴散至鄰近的矽基底10中。因此，第三多晶矽層24也稱為一埋

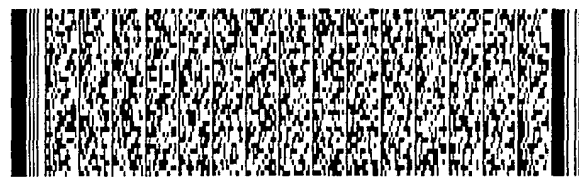
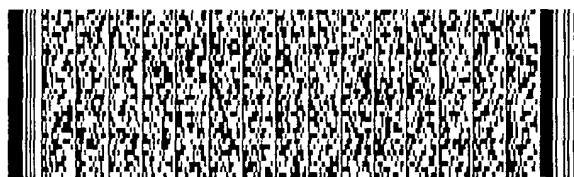


五、發明說明 (3)

入帶(buried strap) 24。領型介電層20之目的是使隔絕埋入帶外擴散區域30與埋入電極板 14之間達到有效的隔絕，以防止此處的漏電流問題危害DRAM胞之保留時間(retention time)。

然而，領型介電層20之傳統製作會加大深渠溝DT的頂部開口尺寸，如此會影響字元線WL與深渠溝DT之重疊容忍度以及埋入帶外擴散區域30的分佈，特別是，會縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，進而導致埋入帶外擴散區域30處發生嚴重的漏電流，並影響次電壓(sub- V_t)之表現。

請參閱第2A至2E圖，其顯示習知領型介電層製程之剖面示意圖。如第2A圖所示，一p型半導體矽基底10已經完成深渠溝電容器12之製作，包含有：一氮化矽墊層32、一深渠溝DT、一 n^+ 型擴散區14、一氮化矽層16以及一 n^+ 型摻雜之第一多晶矽層18。然後，如第2B圖所示，去除深渠溝DT上方區域之氮化矽層16並進行第一多晶矽層18之回蝕刻步驟之後，利用氧化方法於矽基底10之暴露表面上長成第一氧化矽層34，用以覆蓋深渠溝DT上方區域之側壁，可確保 n^+ 型擴散區14與後續製作之埋入帶外擴散區域30之間的絕緣效果。接著，如第2C圖所示，利用CVD方式沉積一第二氧化矽層36，再以非等向性乾蝕刻方式去除第一多晶矽層18頂部之第二氧化矽層36。



後續，如第2D圖所示，於深渠溝DT內沉積一 n^+ 型摻雜之第二多晶矽層22，並回蝕刻第二多晶矽層22至一預定深度。最後，如第2E圖所示，利用濕蝕刻方式去除部份之第一氧化矽層34以及第二氧化矽層36，直至凸出第二多晶矽層22的頂部，則殘留之第一氧化矽層34以及第二氧化矽層36係用作為一領型介電層20。

不過，由於第一氧化矽層34之氧化成長過程會使一部份的矽基底10轉變成為 SiO_2 ，因此後續的濕蝕刻步驟會擴張深渠溝DT頂部開口尺寸，進而縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，則愈加惡化漏電流現象與次電壓(sub- V_t)的表現。雖然第一氧化矽層34之製作是造成深渠溝DT頂部開口擴大的最主要因素，但是第一氧化矽層34之氧化成長步驟是相當重要的，若是省略此步驟或是縮小第一氧化矽層34之厚度，則將導致 n^+ 型擴散區14與埋入帶外擴散區域30之間發生更嚴重的接合面漏電問題。有鑒於此，在必須進行第一氧化矽層34之氧化成長步驟的前提之下，如何改善領型介電層製程以避免擴大深渠溝DT之頂部開口尺寸，是當前亟需探究之重點。

【發明內容】

有鑑於此，本發明之主要目的在於提供一種領型介電層製程，藉由一道離子佈植製程可以使氧化矽選擇性地成



五、發明說明 (5)

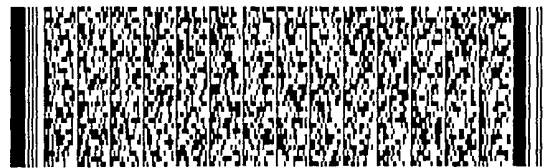
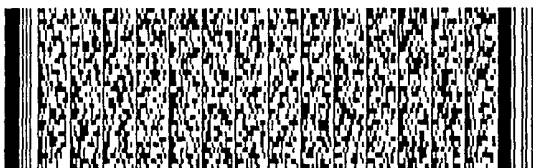
長在埋入帶外擴散區域以外的深渠溝側壁上，可以有效防止深渠溝之頂部尺寸在後續蝕刻製程中快速擴大。

為達成上述目的，本發明提供一種防止深渠溝之頂部尺寸擴大的領型介電層製程，包括下列步驟：提供一半導體矽基底，其包含有一深渠溝以及一深渠溝電容器。該深渠溝電容器包含有一節點介電層以及一儲存節點，該節點介電層係形成於該深渠溝之側壁與底部，該儲存節點係填入該深渠溝至一預定深度。進行一離子佈植製程，於該深渠溝頂部開口周圍之該半導體矽基底之表面區域形成一離子佈植區。去除部份之該節點介電層，以使該節點介電層與該儲存節點之頂部切齊，並暴露該深渠溝電容器以外之該深渠溝側壁。進行一氧化製程，於該離子佈植區以外之該深渠溝的暴露側壁上長成一第一氧化層。

該離子佈植製程係利用 N_2 作為離子源，用來抑制該第一氧化層之成長。該離子佈植區之深度係相對應於一預定埋入帶擴散區域的深度，係至少環繞該深渠溝頂部開口之一部份週邊，且鄰近於一預定埋入帶擴散區域。

【實施方式】

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

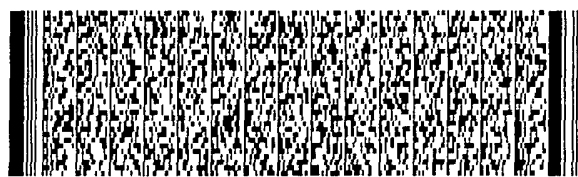
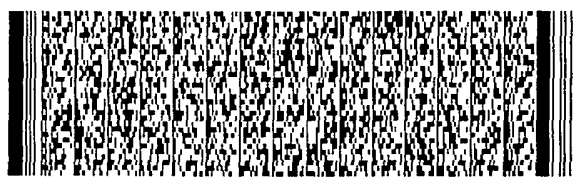


五、發明說明 (6)

本發明提供一種領型介電層製程，其主要應用於深渠溝電容器上方區域，可使深渠溝頂部開口之埋入帶外擴散區域以及深渠溝下方區域之埋入電極板之間達到有效的隔絕效果，以防止此處的漏電流問題危害次電壓(sub- V_t)的表現。本發明之領型介電層製程可應用於一態隨機存取記憶體胞(DRAM cell)之製作，其結構可為一平面電晶體或一垂直電晶體之設計係搭配一深渠溝電容器。

請參閱第3A至3F圖，其顯示本發明領型介電層製程之剖面示意圖。

首先，如第3A圖所示，提供一半導體矽基底40，其內部已經完成一深渠溝電容器42之製作，包含有一埋入電極板、一節點介電層以及一儲存節點。深渠溝電容器42之製作方法如下所述。以一p型半導體矽基底40為例，藉由一墊層52之圖案以及反應性離子蝕刻(RIE)方法，可於矽基底40內形成一深渠溝DT。墊層52之材質可為氮化矽。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使 n^+ 型離子擴散至深渠溝DT下方區域，而形成一 n^+ 型擴散區44，用來作為電容器之埋入電極板。然後，於深渠溝DT之內側壁與底部形成一氮化矽層46，再於深渠溝DT內沉積一 n^+ 型摻雜之第一多晶矽層48，並將第一多晶矽層48回蝕刻至一預定深度。如此一來，殘



五、發明說明 (7)

留之第一多晶矽層48係用來為電容器之儲存節點，而夾設於 n^+ 型擴散區44以及第一多晶矽層48之間的氮化矽層46a則是用作為電容器之節點介電層。

然後，如第3B圖所示，在尚未去除深渠溝DT上方區域之氮化矽層46b之前，利用氮化矽層46b作為一遮蔽層(screen layer)並進行一離子佈植製程54，以於深渠溝DT頂部開口周圍之矽基底40表面區域形成一離子佈植區56，且此離子佈植區56的深度I係相對應於後續製作之埋入帶所形成之埋入帶外擴散區域的深度。離子佈植製程54之較佳者為，利用 N_2 作為離子源並進行傾角角度(tilt angle)植入的方式，而離子佈植區56的深度I約為800~1500 Å。

繼續，如第3C圖所示，去除深渠溝DT上方區域之氮化矽層46b之後，利用氧化方法於矽基底40之暴露表面上長成一第一氧化矽層51，用以覆蓋深渠溝DT上方區域之側壁，可確保 n^+ 型擴散區44與後續製作之埋入帶外擴散區域之間的絕緣效果。特別是，由於前述步驟完成之離子佈植區56可以抑制深渠溝DT頂部開口周圍之矽基底40轉變成為 SiO_2 ，因此第一氧化矽層51僅會成長在離子佈植區56以外之矽基底40暴露表面上。

接著，如第3D圖所示，利用CVD或其他沉積方式，於深渠溝DT內沉積一第二氧化矽層53，再以非等向性乾蝕刻



五、發明說明 (8)

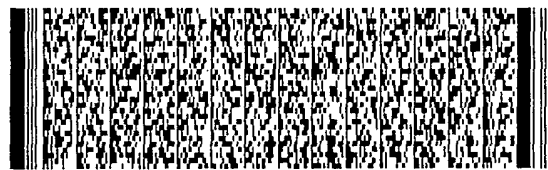
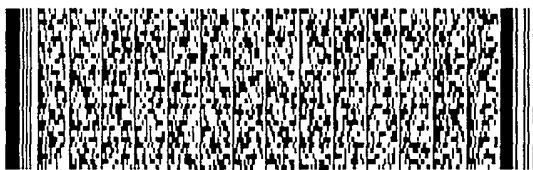
方式去除第一多晶矽層48頂部之第二氧化矽層53。

後續，如第3E圖所示，於深渠溝DT內沉積一 n^+ 型摻雜之第二多晶矽層58，並回蝕刻第二多晶矽層58至一預定深度。

最後，如第3F圖所示，利用濕蝕刻方式去除部份之第一氧化矽層51以及第二氧化矽層53，直至凸出第二多晶矽層58的頂部，並使第一氧化矽層51以及第二氧化矽層53之頂部切齊，則殘留在深渠溝DT上方區域側壁之第一氧化矽層51以及第二氧化矽層53係用作為一領型介電層50。

請參閱第4A圖，其顯示本發明領型介電層製程所應用之DRAM胞的剖面示意圖。完成上述領型介電層50製程之後，後續則可進行一第三多晶矽層60(亦稱為一埋入帶60)、一埋入帶外擴散區域62、一淺溝隔離(STI)結構64、一字元線 WL_1 、 WL_2 、一源/汲極擴散區域66、一位元接觸插塞BC以及一位元線BL等製程。這些製程不屬於本發明技術特徵，故於此省略說明。

由上述可知，本發明於去除氮化矽層62b之前在埋入帶外擴散區域62形成離子佈植區56，故可使第一氧化矽層51選擇性地成長於埋入帶外擴散區域62以外的矽基底40表面上，則後續的濕蝕刻步驟不會擴張深渠溝DT頂部開口尺

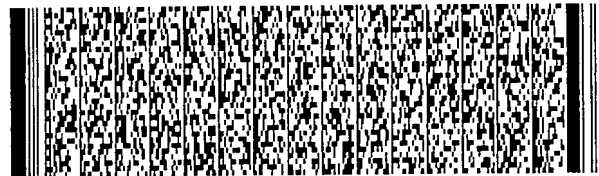
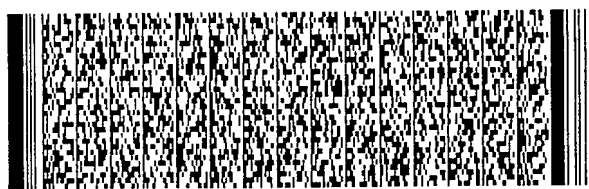


五、發明說明 (9)

寸。由實驗驗證的結果可知，相較於習知技術所造成的深渠溝DT頂部開口尺寸擴大，本發明方法可以使習知深渠溝DT頂部開口半徑縮小約40~60 Å，故能防止源/汲極擴散區域66與埋入帶外擴散區域62之間的重疊邊緣區域縮短，進而有效防止漏電流現象並改善次電壓(sub-V_t)的表現。此外，本發明僅需額外增加一道離子佈植製程以完成離子佈植區56，不需耗費額外的光阻定義製程，且其他製程步驟可照常實施，故具有簡單、不耗費成本的優點，可符合於大量生產之需求。

請參閱第4B與4C圖，其顯示第4A圖之DRAM胞之字元線WL₁、WL₂、深渠溝DT與位元線BL的排列平面圖。如第4B圖所示，本發明之一較佳實施例中，利用N₂作為離子源並進行傾角角度植入的離子佈植區56，係位於深渠溝DT頂部開口的一部份週邊，且鄰近於第二字元線WL₁。如第4C圖所示，本發明之另一較佳實施例中，利用N₂作為離子源並進行傾角角度植入的離子佈植區56，係環繞於深渠溝DT頂部開口之整個週邊。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖顯示習知DRAM胞之深渠溝排列的平面圖。

第1B圖顯示習知DRAM胞之深渠溝電容器的剖面示意圖。

第2A至2E圖顯示習知領型介電層製程之剖面示意圖。

第3A至3F圖顯示本發明領型介電層製程之剖面示意圖。

第4A圖顯示本發明領型介電層製程所應用之DRAM胞的剖面示意圖。

第4B與4C圖顯示第4A圖之離子佈植區與深渠溝的平面圖。

符號說明：

習知技術：

字元線~ WL_1 、 WL_2 ；

位元線~BL；

深渠溝~DT；

位元接觸插塞~BC；

半導體矽基底~10；

深渠溝電容器~12；

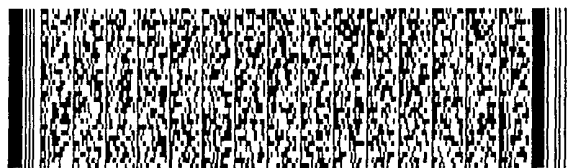
n^+ 型擴散區~14；

氮化矽層~16；

第一多晶矽層~18；

領型介電層~20；

第二多晶矽層~22；



圖式簡單說明

第三多晶矽層~24 ;
淺溝隔離結構~26 ;
源/汲極擴散區域~28 ;
埋入帶外擴散區域~30 ;
重疊邊緣區域~L ;
氮化矽墊層~32 ;
第一氧化矽層~34 ;
第二氧化矽層~36 。

本發明技術：

半導體矽基底~40 ;
深渠溝電容器~42 ;
 n^+ 型擴散區~44 ;
氮化矽層~46 ;
第一多晶矽層~48 ;
領型介電層~50 ;
第一氧化矽層~51 ;
墊層~52 ;
第二氧化矽層~53 ;
離子佈植製程~54 ;
離子佈植區~56 ;
深度~I ;
第二多晶矽層~58 ;
第三多晶矽層~60 ;



圖式簡單說明

埋入帶外擴散區域~62；

淺溝隔離結構~64；

源/汲極擴散區域~66；

字元線~ WL_1 、 WL_2 ；

位元線~BL；

深渠溝~DT；

位元接觸插塞~BC。



六、申請專利範圍

1. 一種防止深渠溝之頂部尺寸擴大的領型介電層製程，包括下列步驟：

提供一半導體矽基底，其包含有一深渠溝以及一深渠溝電容器，其中該深渠溝電容器包含有一節點介電層以及一儲存節點，該節點介電層係形成於該深渠溝之側壁與底部，該儲存節點係填入該深渠溝至一預定深度；

進行一離子佈植製程，於該深渠溝頂部開口周圍之該半導體矽基底之表面區域形成一離子佈植區；

去除部份之該節點介電層，以使該節點介電層與該儲存節點之頂部切齊，並暴露該深渠溝電容器以外之該深渠溝側壁；以及

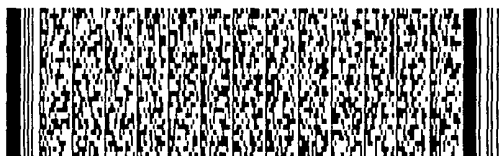
進行一氧化製程，於該離子佈植區以外之該深渠溝的暴露側壁上長成一第一氧化層。

2. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該離子佈植製程係利用 N_2 作為離子源，用來抑制該第一氧化層之成長。

3. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該離子佈植區之深度係相對應於一預定埋入帶擴散區域的深度。

4. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該離子佈植區係環繞該深渠溝頂部開口之一部份週邊，且鄰近於一預定埋入帶擴散區域。

5. 如申請專利範圍第1項所述之防止深渠溝之頂部尺



六、申請專利範圍

寸擴大的領型介電層製程，其中該離子佈植區係環繞該深渠溝頂部開口之整個週邊。

6. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該離子佈植區的深度約為800~1500 Å。

7. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該節點介電層之材質為氮化矽。

8. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該儲存節點之材質為 n^+ 型摻雜之多晶矽。

9. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該深渠溝電容器另包含有一埋入電極板，係為一 n^+ 型擴散區域，位於該深渠溝下方區域之該半導體矽基底中，且環繞於該節點介電層之外側。

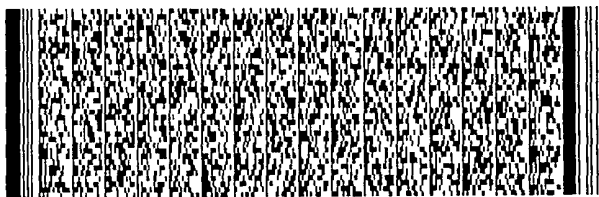
10. 如申請專利範圍第1項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，另包括下列步驟：

形成一第二氧化層，於該深渠溝側壁之該第一氧化層與該離子佈植區的表面上；

填入一第一導電層於該深渠溝內，且與該儲存節點之頂部形成電連接；

回蝕刻該第一導電層至一預定深度；以及

蝕刻該第二氧化層以及該第一氧化層，使該第二氧化



六、申請專利範圍

層以及該第一氧化層之頂部切齊，並使該導電層頂部凸出於該第二氧化層以及該第一氧化層，則殘留於該深渠溝側壁之該第二氧化層以及該第一氧化層係用作為一領型介電層。

11. 如申請專利範圍第10項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該第一導電層之材質為 n^+ 型摻雜之多晶矽。

12. 如申請專利範圍第10項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，另包括下列步驟：

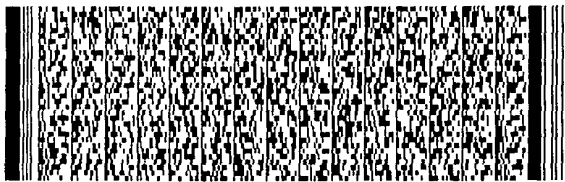
填入一第二導電層於該深渠溝頂部開口內；以及

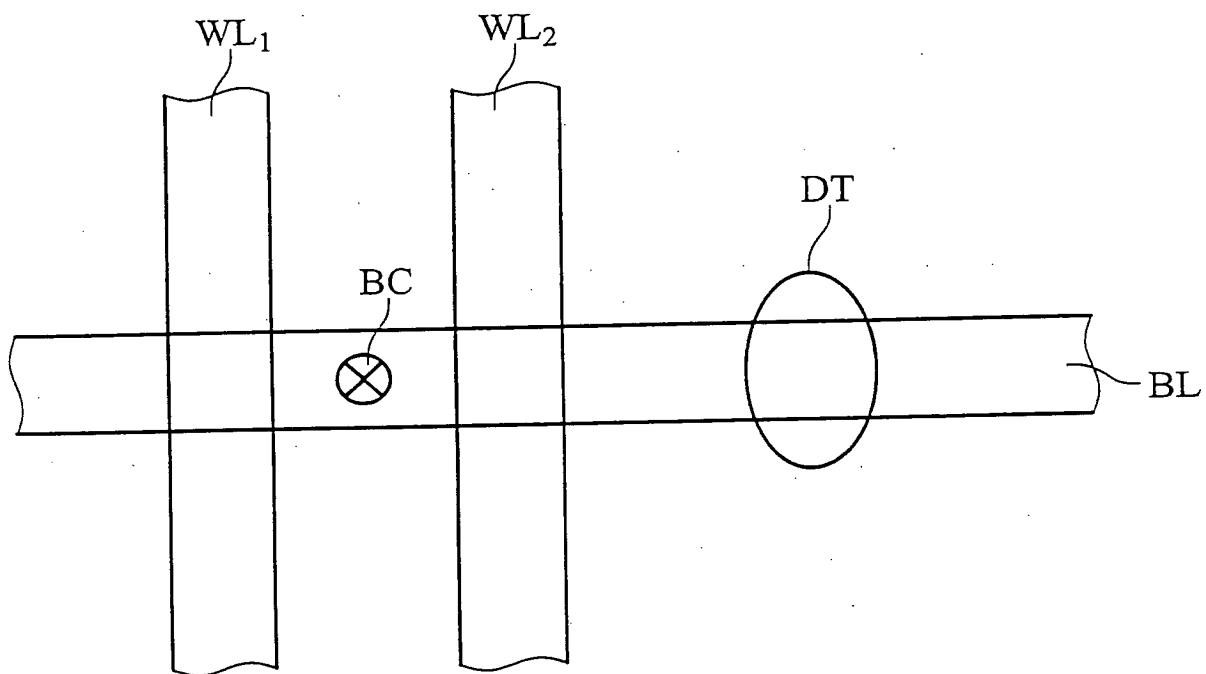
形成一埋入帶擴散區域，係位於該第二導電層周圍之該半導體矽基底中；

其中，該離子佈植區之深度係相對應於該埋入帶擴散區域的深度。

13. 如申請專利範圍第12項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該第二導電層之材質為多晶矽。

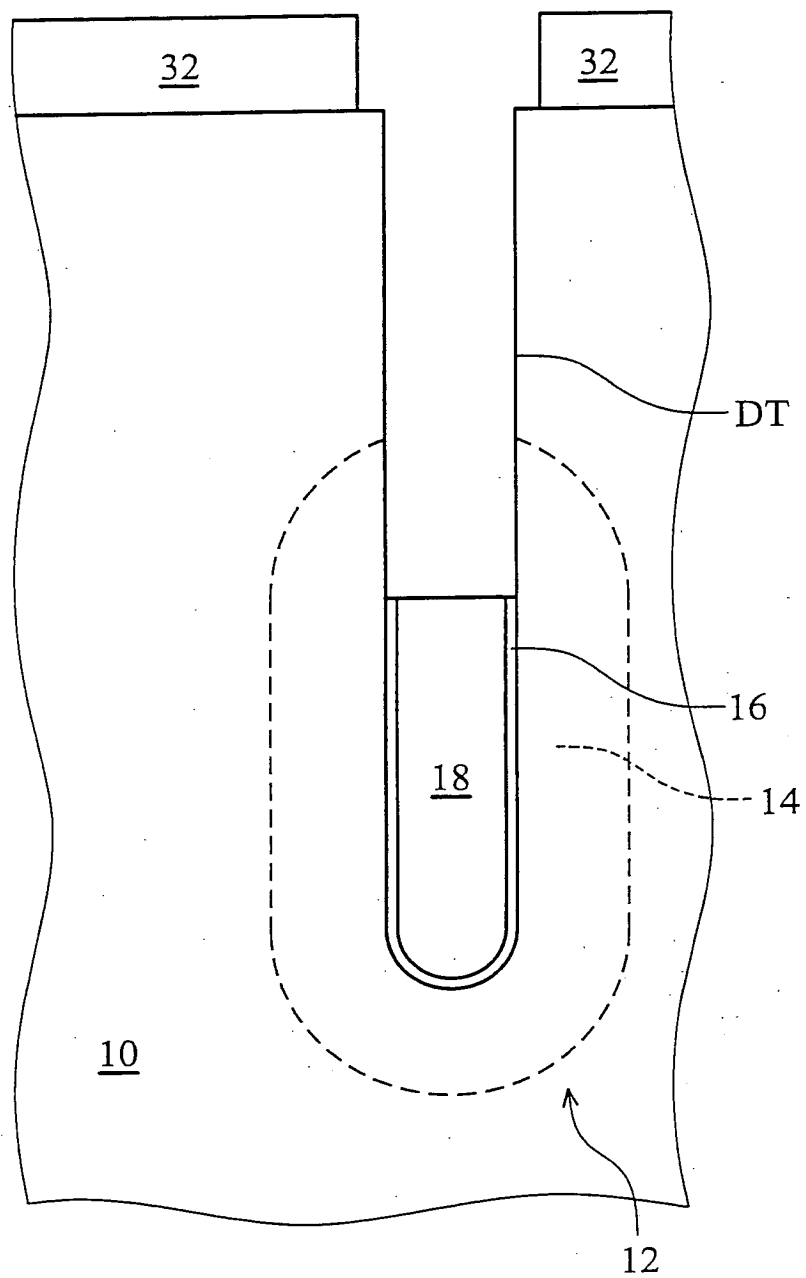
14. 如申請專利範圍第12項所述之防止深渠溝之頂部尺寸擴大的領型介電層製程，其中該埋入帶擴散區域係為一 n^+ 型擴散區域。



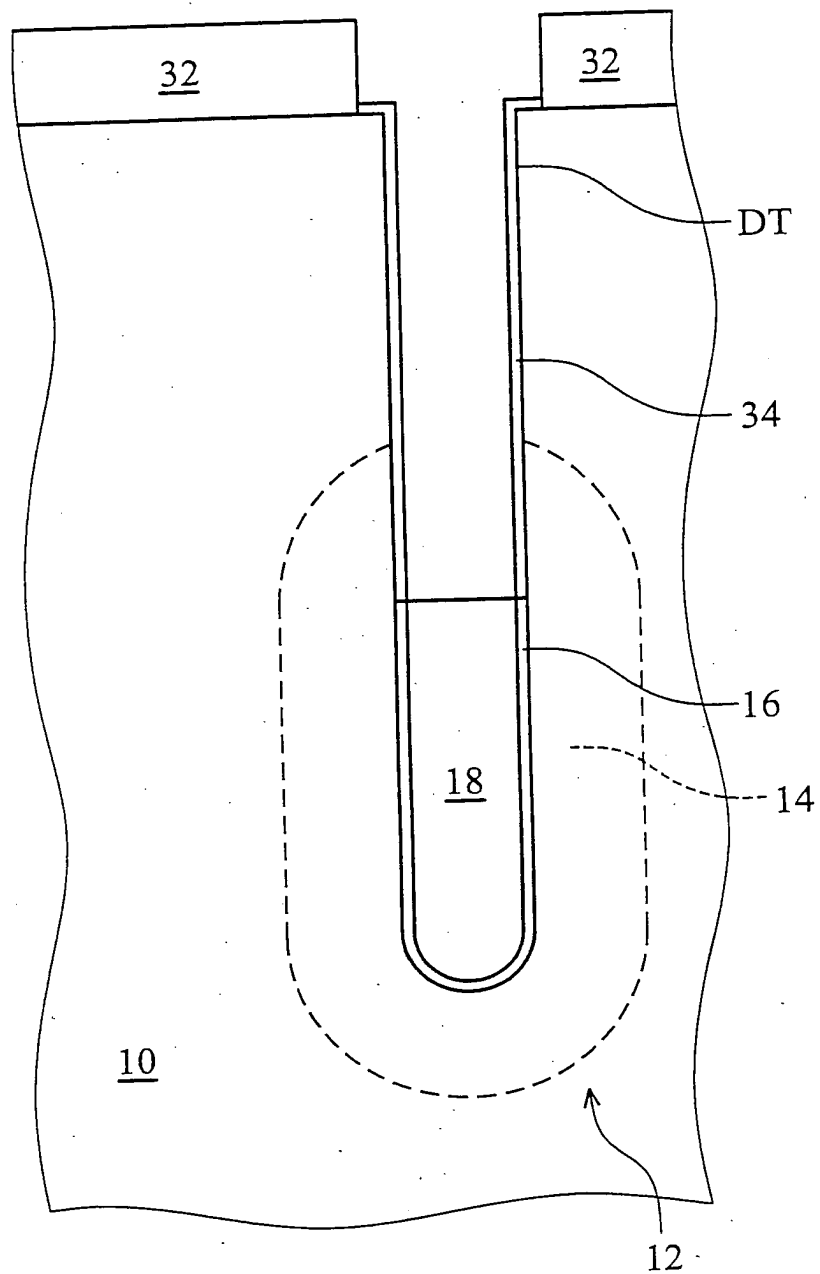


第 1A 圖

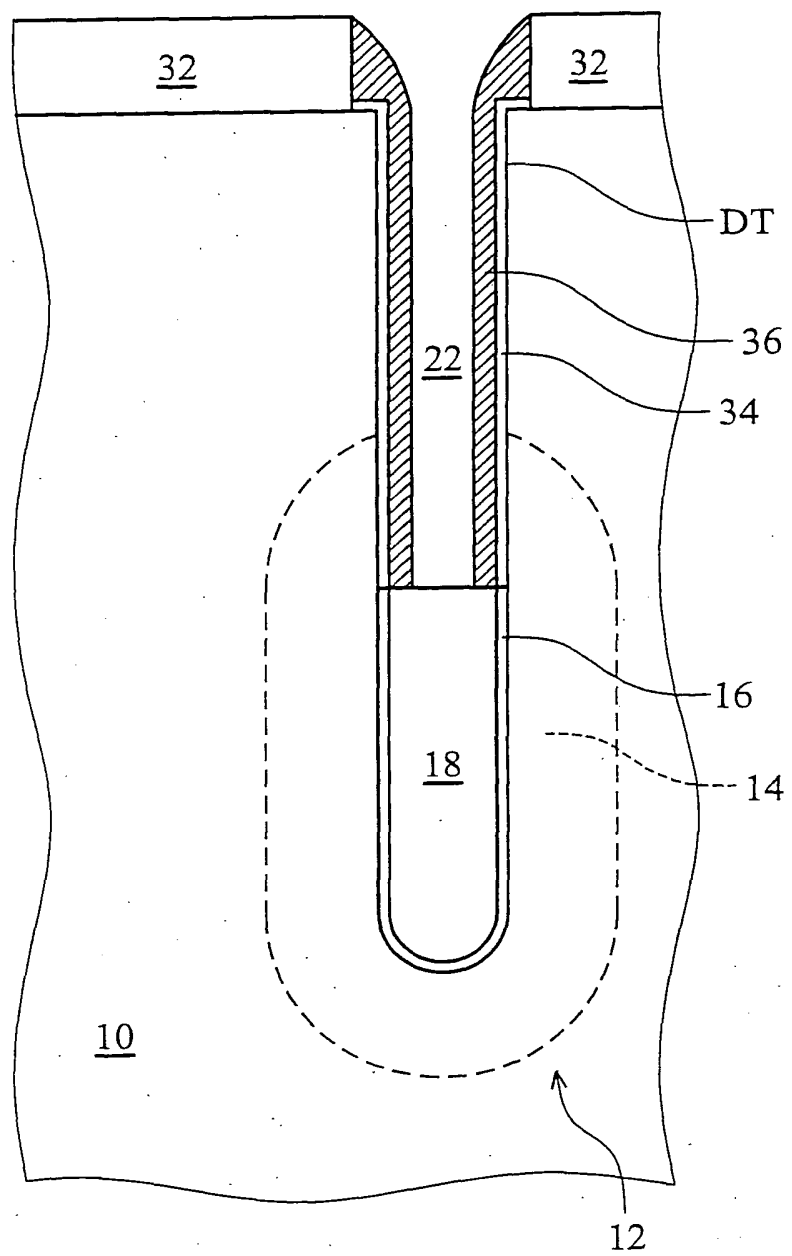




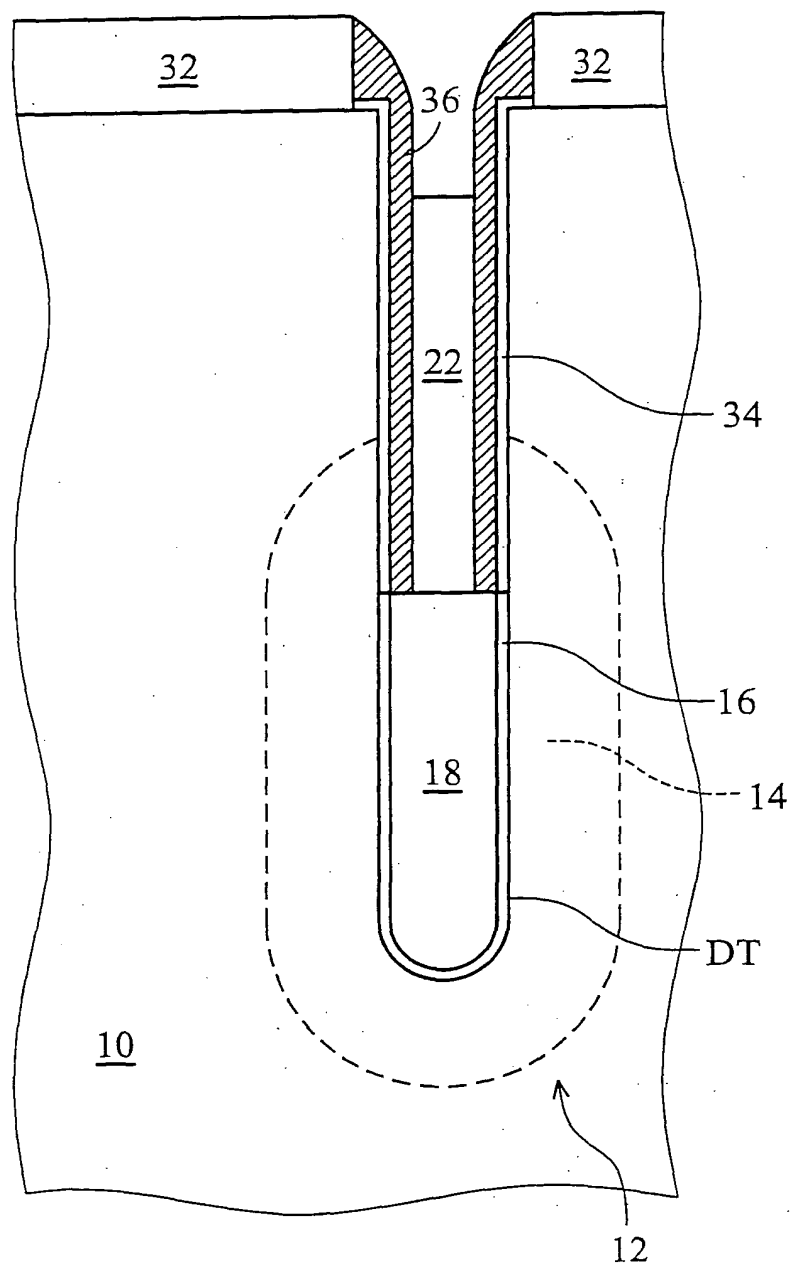
第 2A 圖



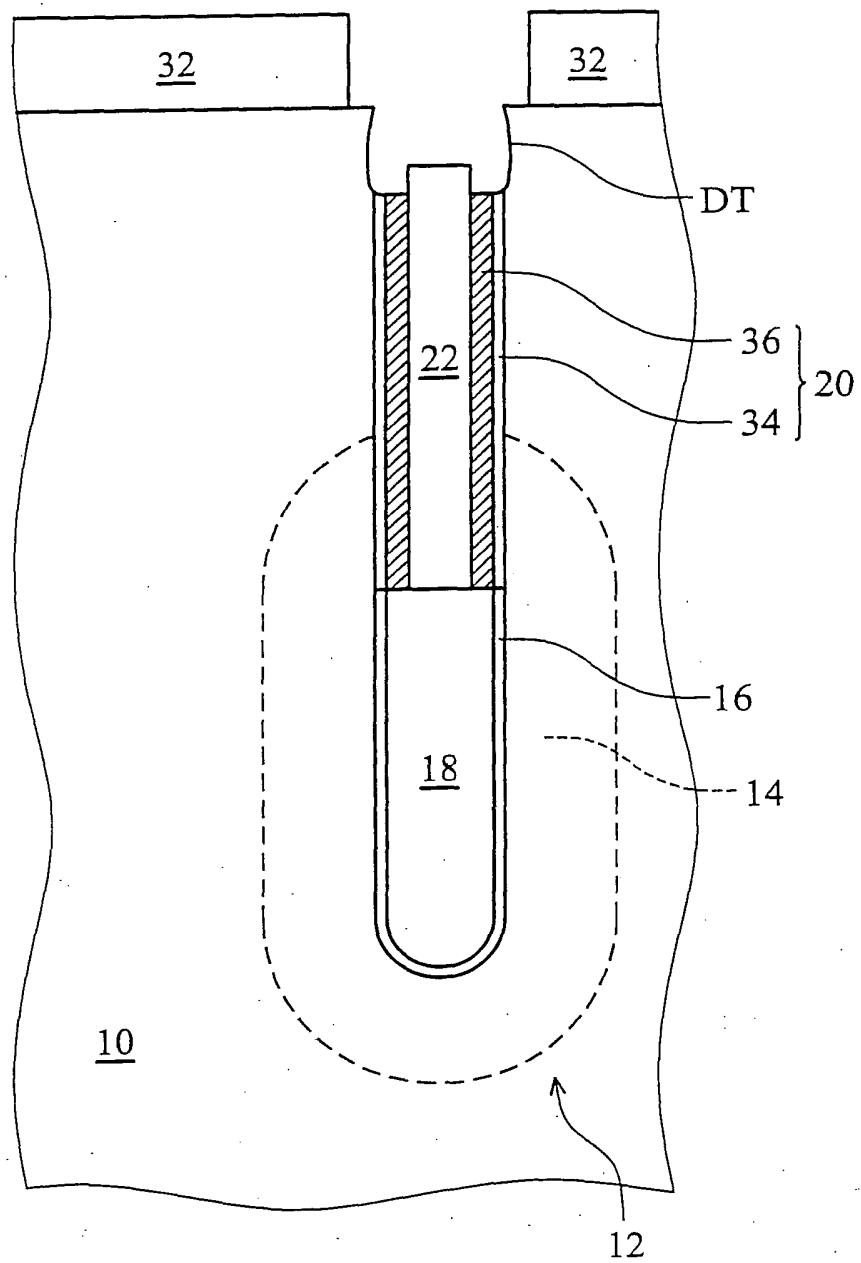
第 2B 圖



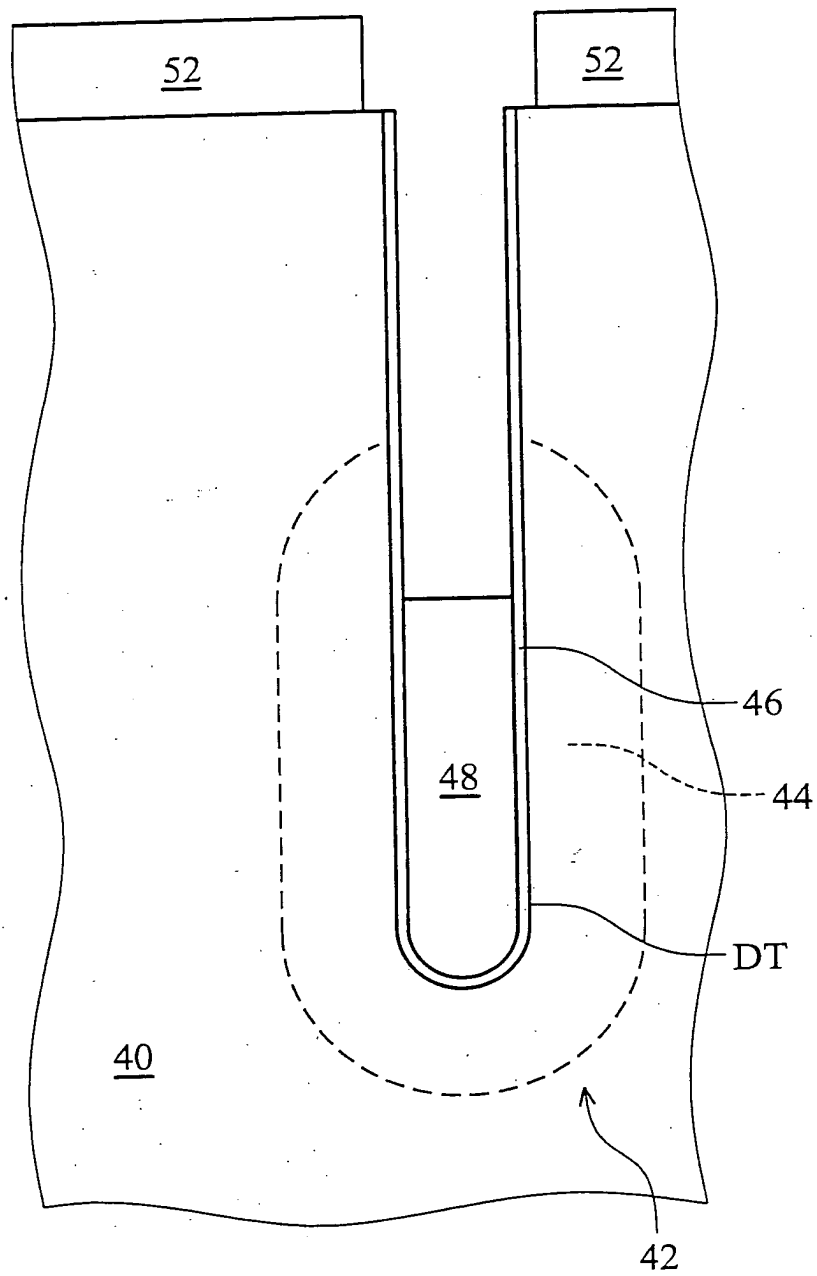
第 2C 圖



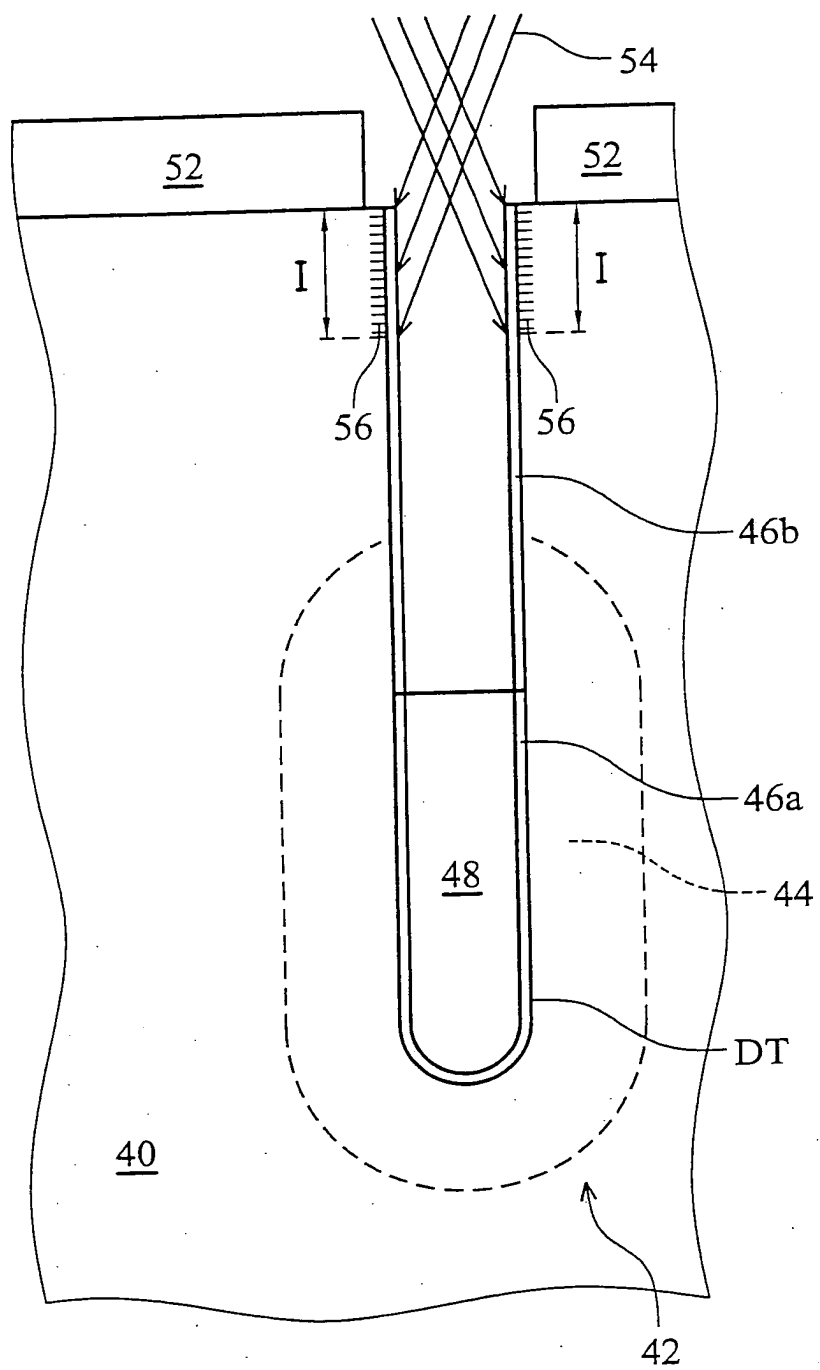
第2D圖



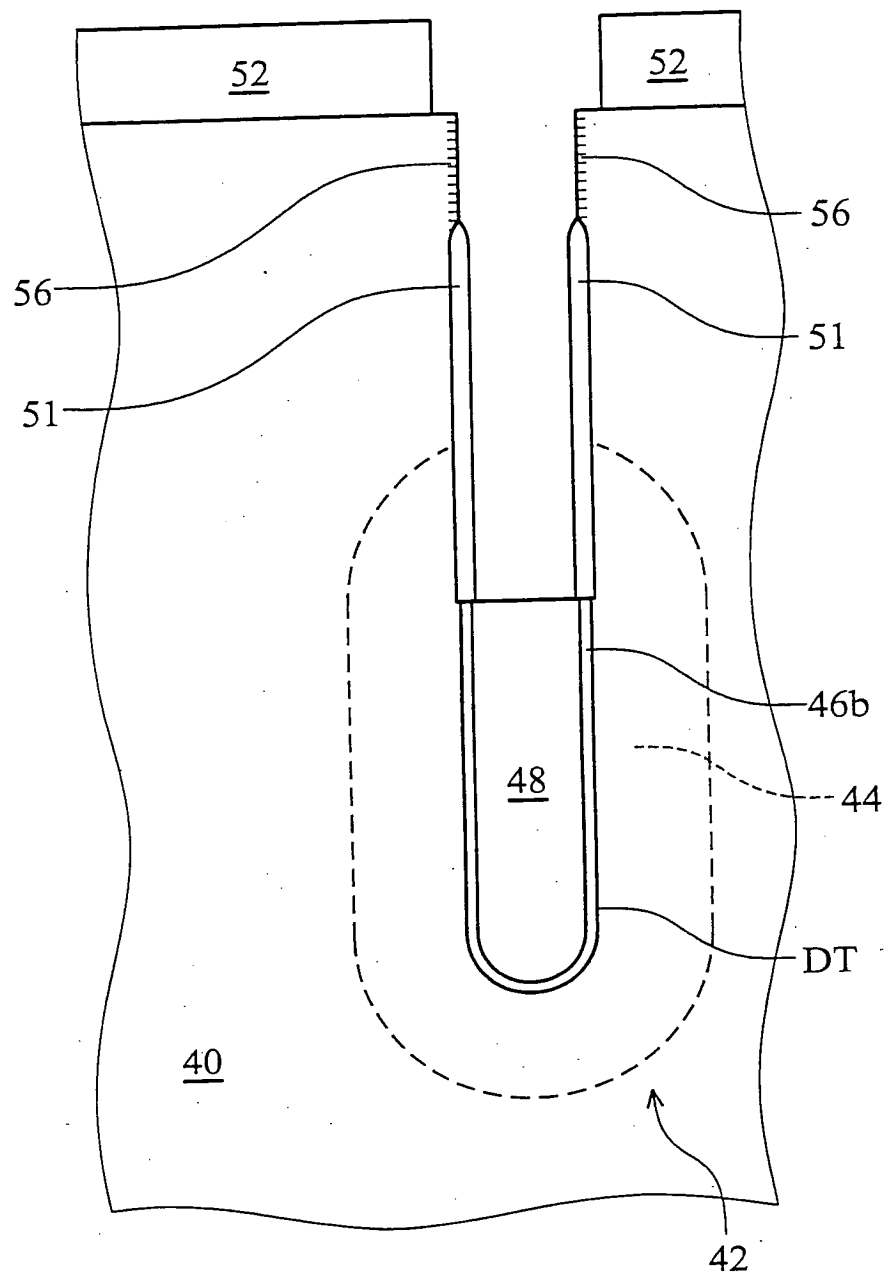
第2E圖



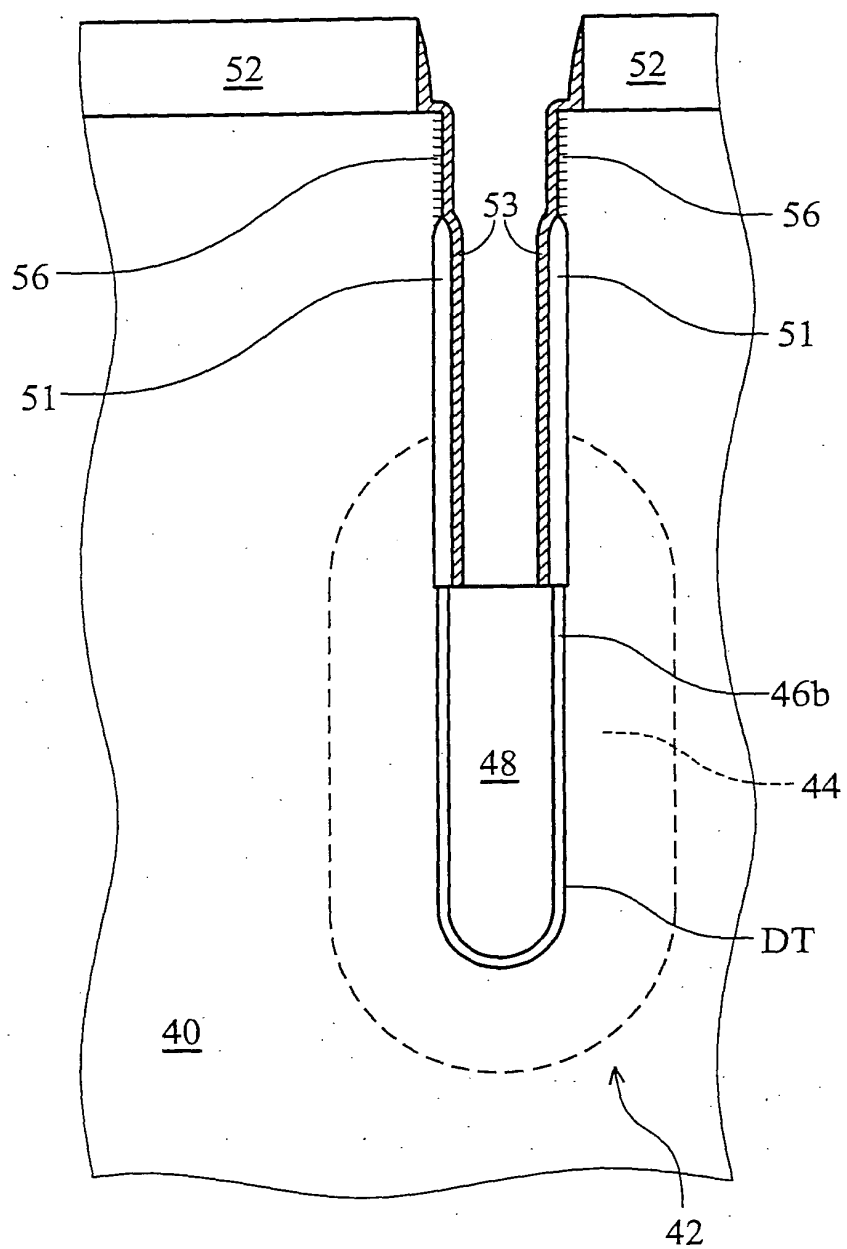
第 3A 圖



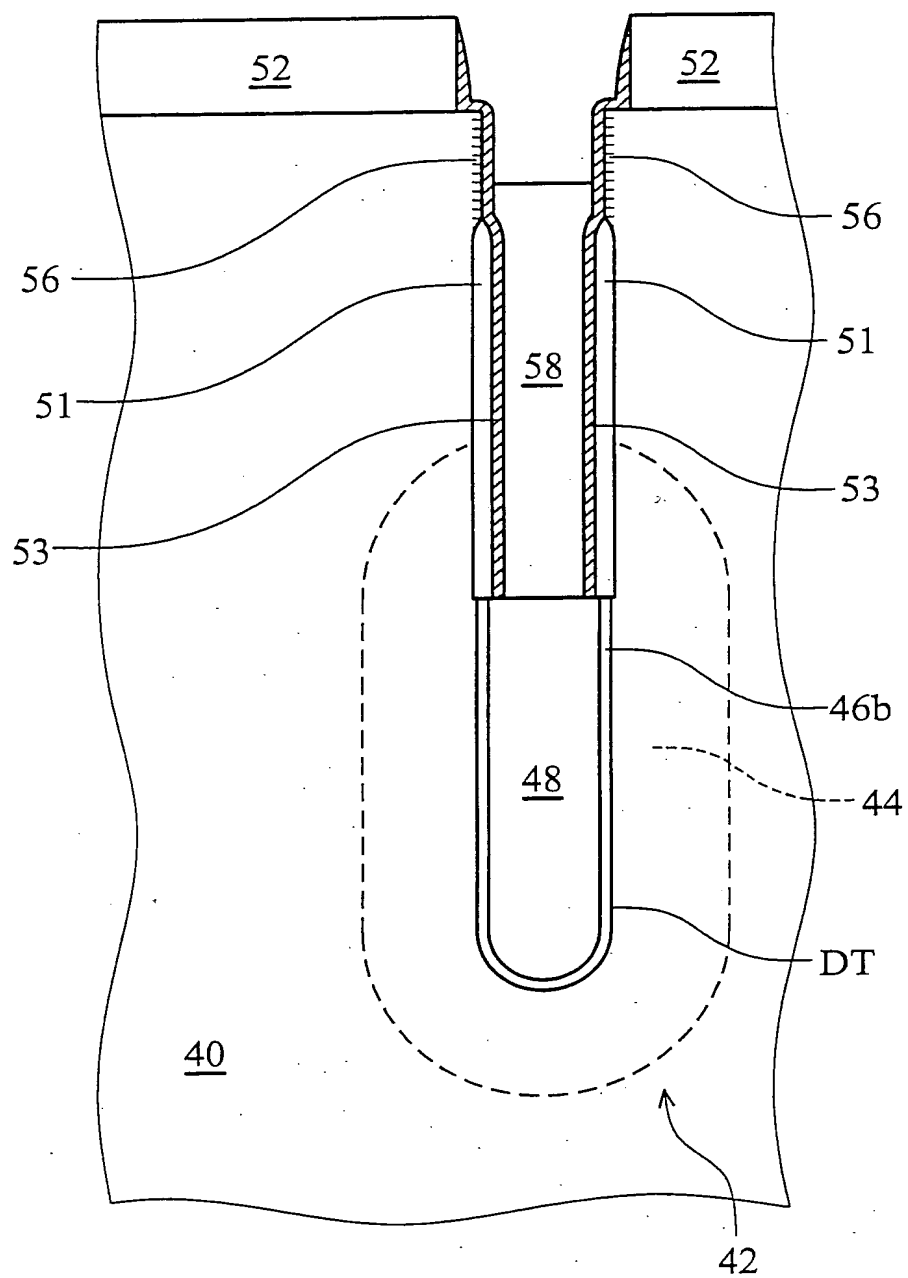
第 3B 圖



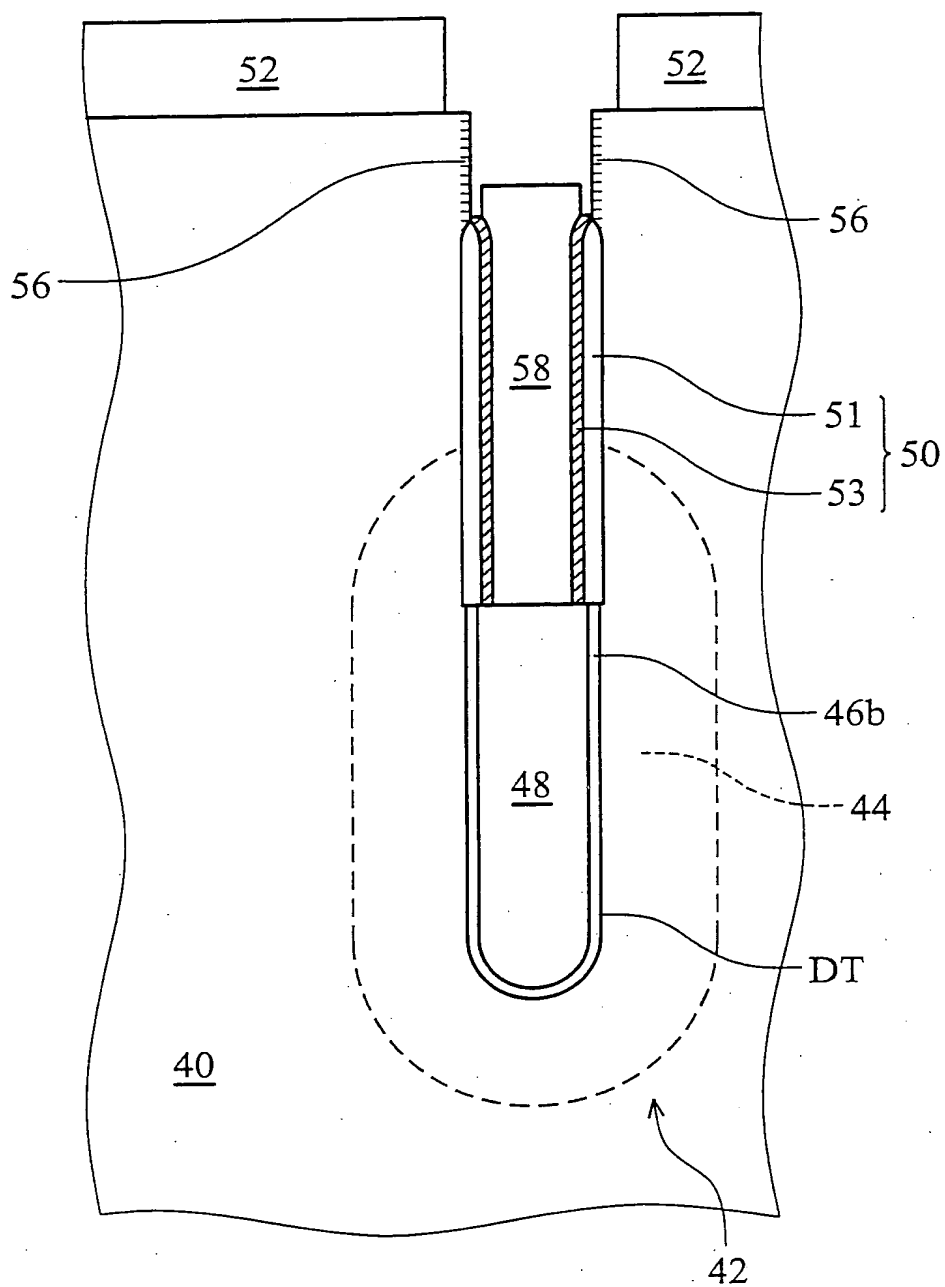
第 3C 圖



第3D圖



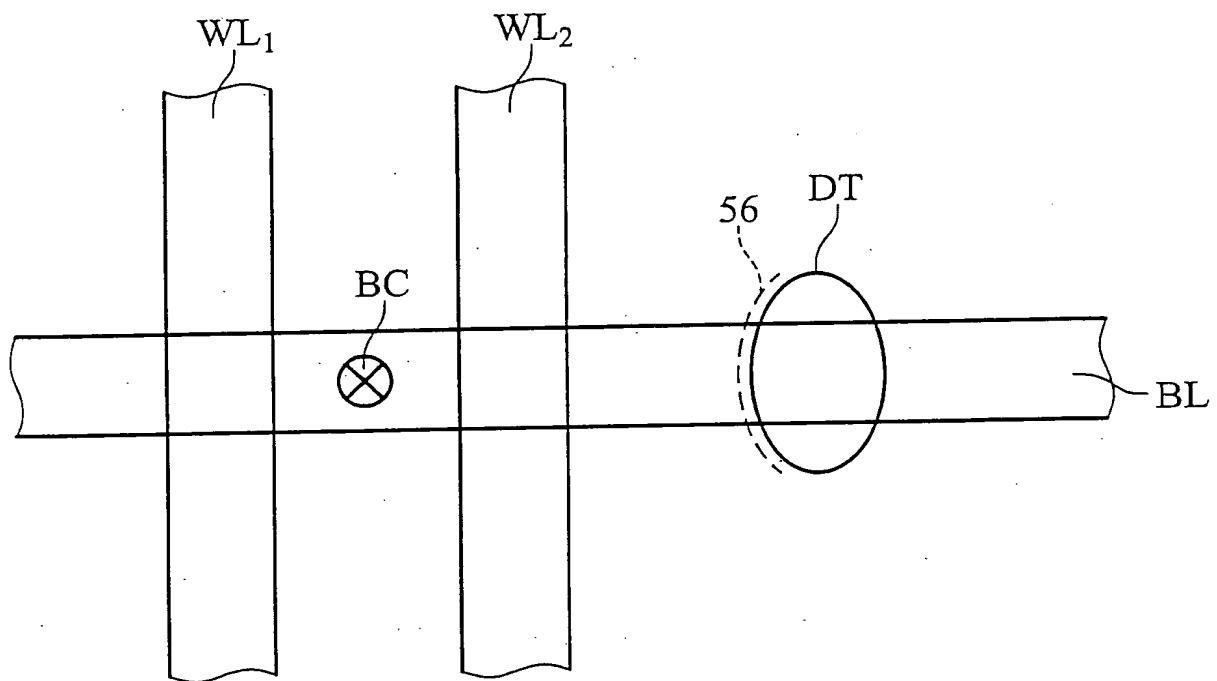
第3E圖



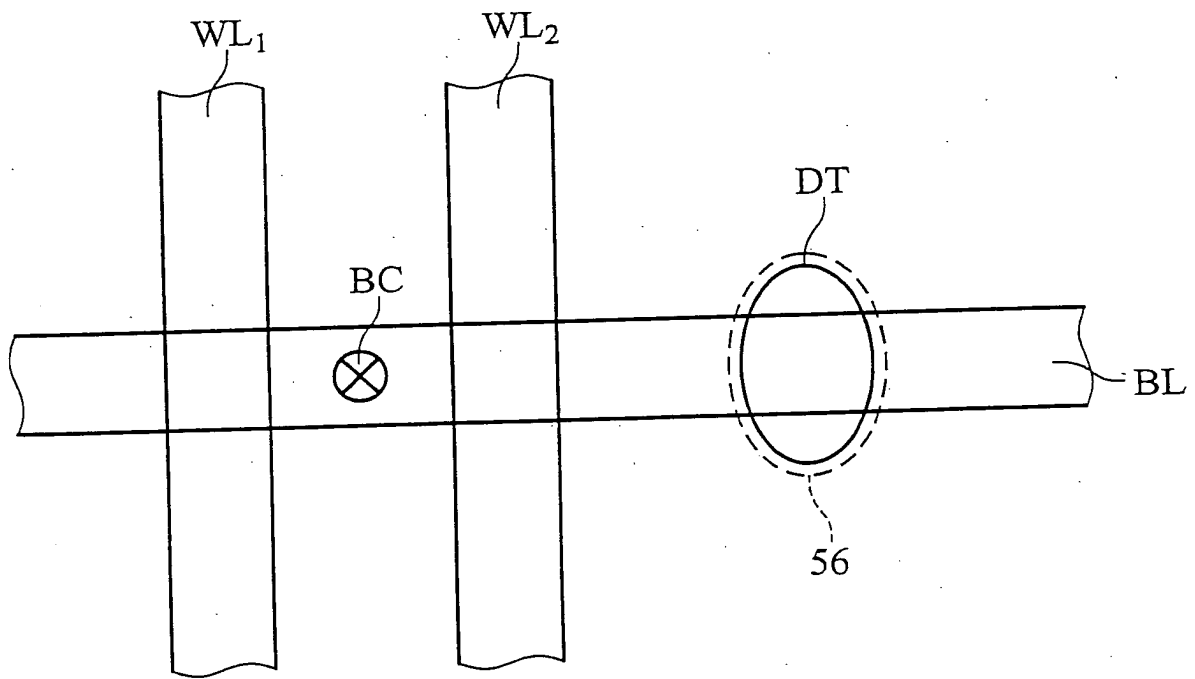
第3F圖



第4A圖

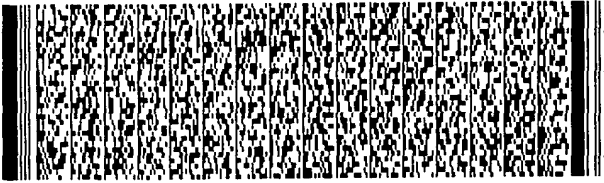


第4B圖

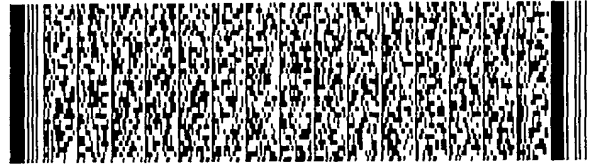


第 4C 圖

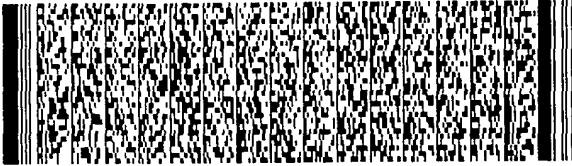
第 1/19 頁



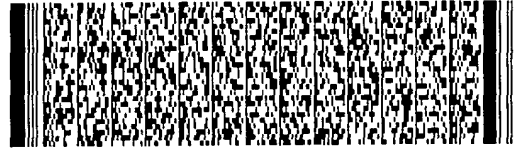
第 2/19 頁



第 2/19 頁



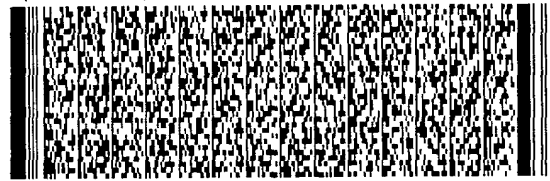
第 3/19 頁



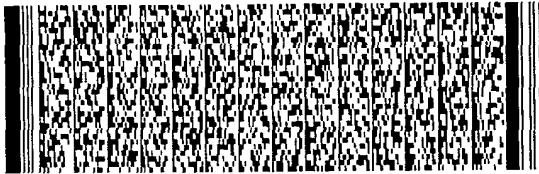
第 4/19 頁



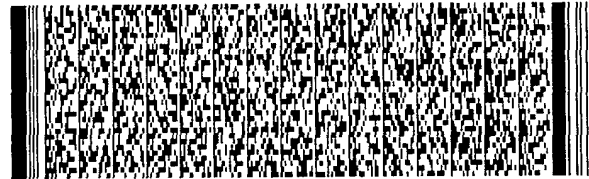
第 5/19 頁



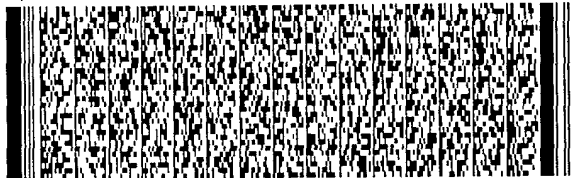
第 5/19 頁



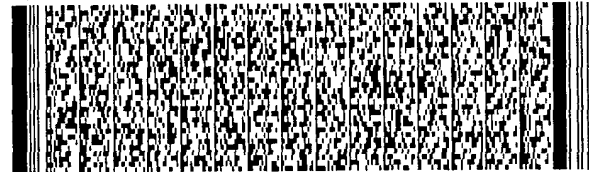
第 6/19 頁



第 6/19 頁



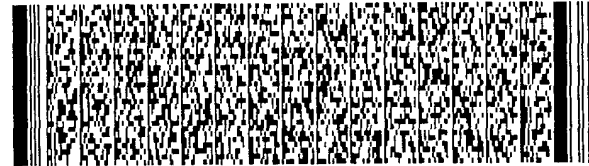
第 7/19 頁



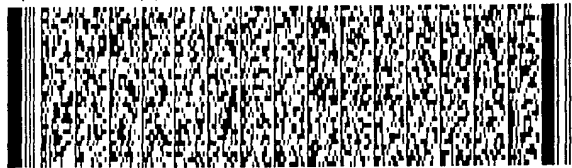
第 7/19 頁



第 8/19 頁



第 8/19 頁



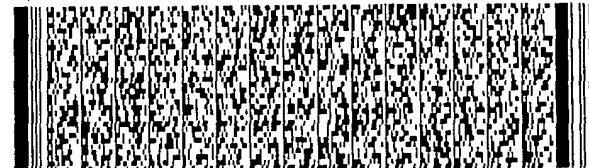
第 9/19 頁



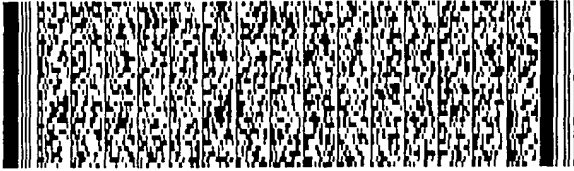
第 9/19 頁



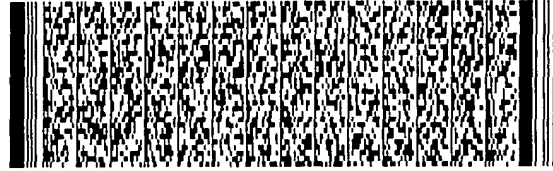
第 10/19 頁



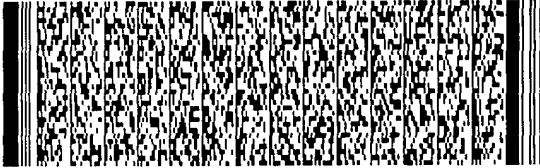
第 10/19 頁



第 11/19 頁



第 11/19 頁



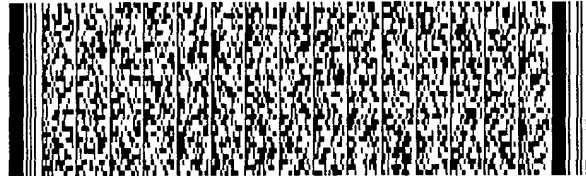
第 12/19 頁



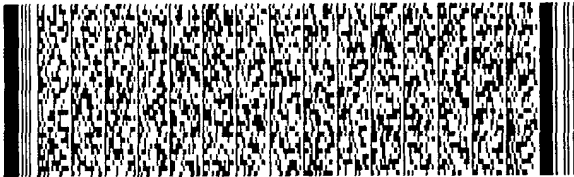
第 12/19 頁



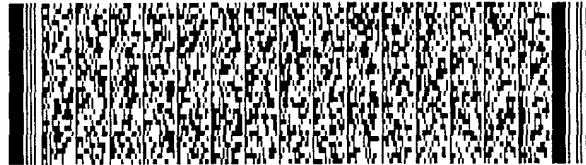
第 13/19 頁



第 13/19 頁



第 14/19 頁



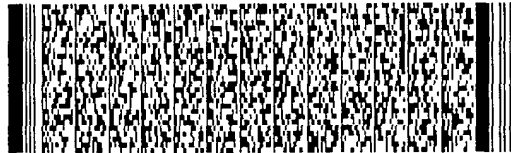
第 15/19 頁



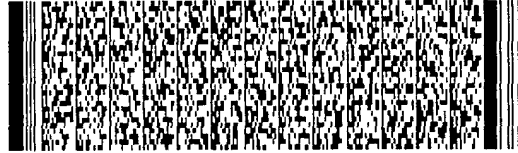
第 16/19 頁



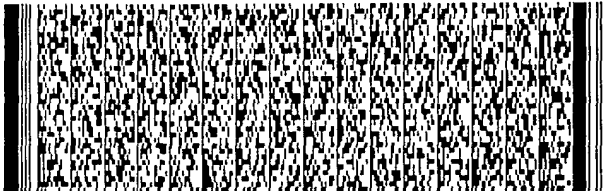
第 17/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

